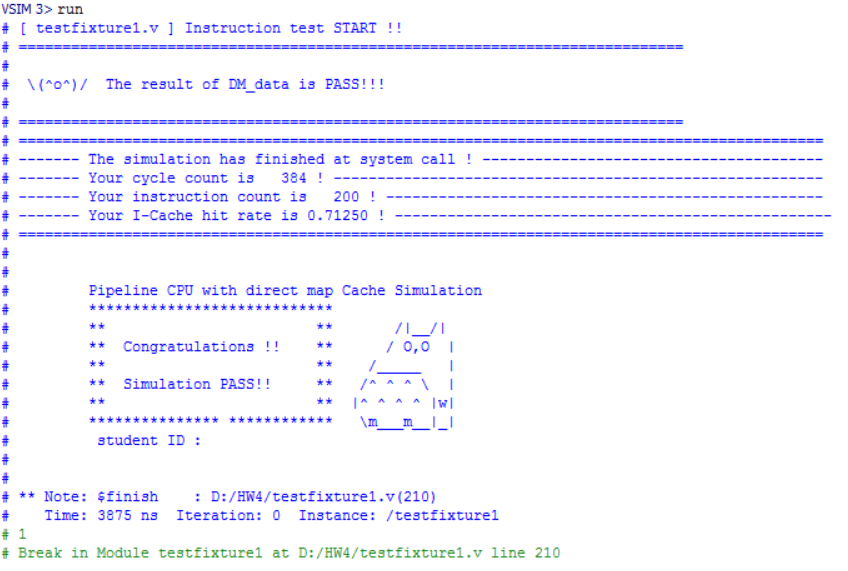
**Computer Organization 2016**

**HOMEWORK IV**

系級: 資訊系107 學號: F74031051 姓名: 林允文

**實驗結果圖(snapshot of result)**

**The I-Cache hit rate of your simulation & your reason:**

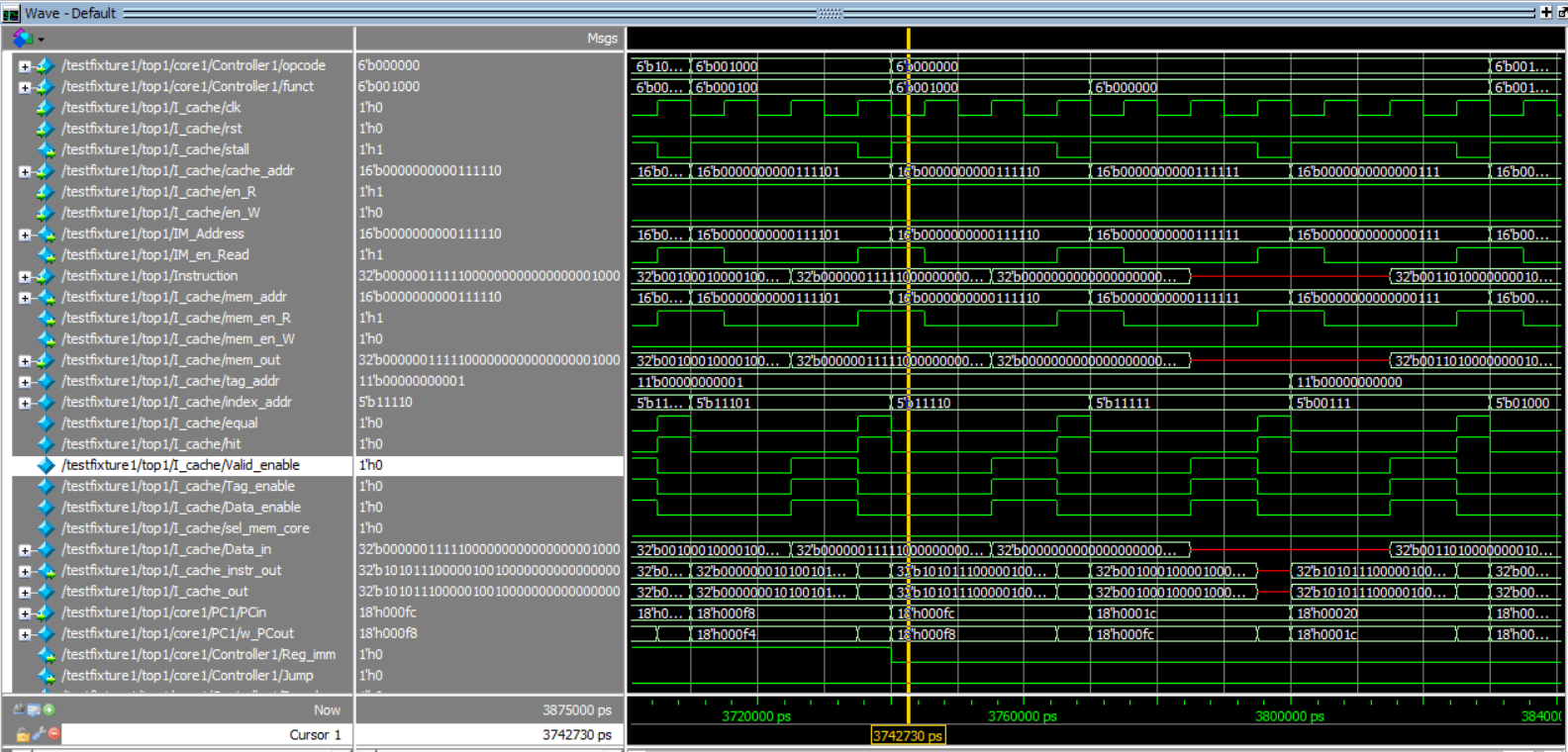
因為每一個instruction會有3個clock cycle，而一個clock cycle是10000ps，共run了3875000ps，所以約有129個instructions，總共有60個左右的hit，所以hit rate = 60/129 = 0.47 (四捨五入到小數第二位)

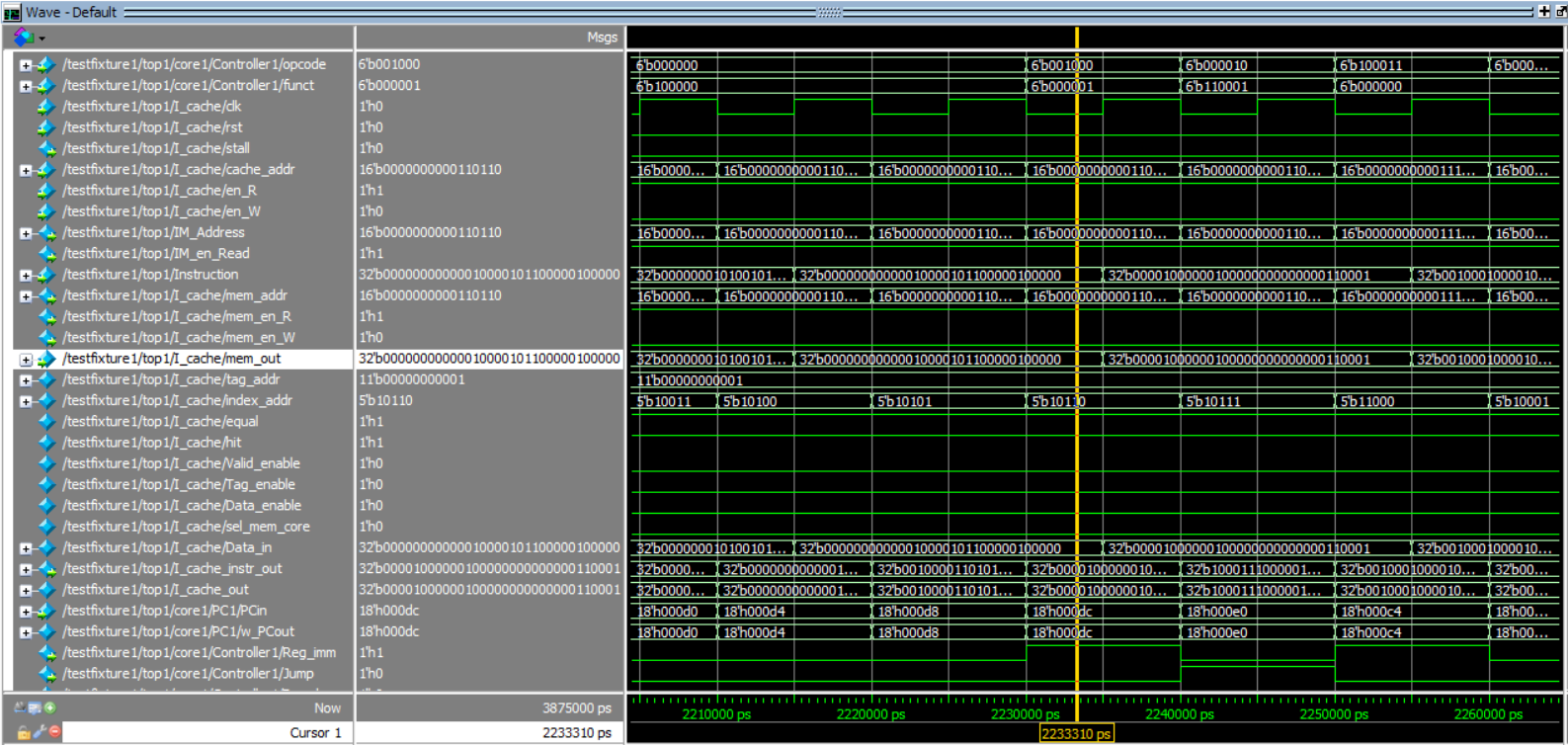
**指令波型圖( Instruction waveform of some situations)**

1. I-Cache Miss

Description:

從cache\_addr=0000000000011110(黃色框框)，可以知道index=11110，tag=00000000，去找cache裡的data，然後發現這裡的hit=0(紅色框框)，所以是miss，因此要到memory裡拿資料mem\_en\_R=1(藍色框框)，之後Valid\_enable、Tag\_enable、Data\_enable=1(白色框框)，讓他寫入cache中。另外這些都要在stall的狀態下進行，因此stall=1(黃色圈圈)。



1. I-Cache Hit:

Description:

從cache\_addr=0000000000110110(黃色框框)，可以知道index=10110，tag=00000001，去找cache裡的data，然後有找到，所以這裡的hit=1(紅色框框)，是hit，那stall當然就是0(黃色圈圈)。

**心得(Report)**

　　其實因為這次是要做direct map 的 cache，所以比較要注意的地方就是cache\_addr的前11個是要當tag的，後5個是index，所以當然cache裡的同一個line Valid\_Address和Tag\_Address、Data\_Address都要跟index一樣，讀取時要Tag\_out要和tag\_addr一樣，同時Valid\_out=1，才是hit，不然就是miss要從memory裡再拿，另外比較難的部分是讀取時，有Read miss 才需要stall，因此要在cache\_control裡stall = Read\_miss用if(en\_R)包起來，不然執行時就會time out。